

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-28773

(43)公開日 平成 5 年(1993) 2 月 5 日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/56

11/22

8522-5L

8320-5L

G 1 1 C 11/ 34

3 8 1 A

審査請求 未請求 請求項の数 2 (全 3 頁)

(21)出願番号

特願平3-186195

(22)出願日

平成 3 年(1991) 7 月 25 日

(71)出願人 000116024

エコーム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 神澤 公

京都府京都市右京区西院溝崎町21番地

エコーム株式会社内

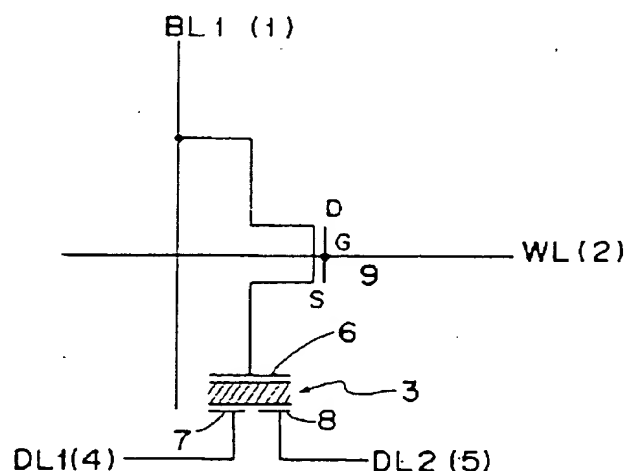
(74)代理人 弁理士 青山 葆 (外 1 名)

(54)【発明の名称】 強誘電体メモリ

(57)【要約】

【目的】 強誘電体の単位セル当りのメモリ容量をセル面積を変える事なく増加することを図る。

【構成】 1 個の強誘電体の表裏両面に夫々複数個の電極を並列して配置し、各電極間の電界をコントロールする事により、各々の強誘電体コンデンサに対して 2 値以上の電荷量を保持させることができるようにする。



1

【特許請求の範囲】

【請求項1】 1個の強誘電体の表面に少なくとも1個以上の電極を設ける一方、裏面に少なくとも2個以上の電極を設け、かつ該電極の内から表面と裏面で1つずつの電極を選択的に特定し、該特定した電極にパルス電界を印加して、3値以上の分極反転状態を生ぜしめるようにしたことを特徴とする強誘電体メモリ。

【請求項2】 1個の強誘電体の表面に1個の大面积の電極を設ける一方、裏面に2個の小面積の電極を隣接して設け、かつ該電極の内から表面と裏面で1つずつの電極を選択的に特定する回路と、該特定した一対の電極にパルス電界を印加する回路を備え、特定回路の選択で3値の分極反転状態を生ぜしめるようにしたことを特徴とする強誘電体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、強誘電コンデンサを用いた強誘電体メモリに関する。

【0002】

【従来の技術】近時、強誘電コンデンサをメモリに用いて2値の電荷量を保持させるものが用いられてきた。

【0003】

【発明が解決しようとする課題】しかし乍ら、この種従来の強誘電体メモリは、1個の強誘電コンデンサに2値の電荷量を保持できるもので、複数値の電荷量を保持させるためにはその数に応じた複数個の強誘電コンデンサを必要とするものであった。

【0004】

【課題を解決するための手段】本発明は、1個の強誘電体の表面に少なくとも1個の電極を設ける一方、該強誘電体の裏面に夫々2個以上の電極を設け、該電極の中から表面と裏面で夫々1つずつの電極を選択的に選んで強誘電体メモリとして用いることにより、選択的に選んだ数だけの電荷量を保持することができるようにしたものである。

【0005】たとえば、本発明の強誘電体メモリとして、1個の強誘電体の表面に1個の電極Aと裏面に2個の電極B、Cを互いに隣接して設け、前記電極の中から表面と裏面に夫々1個ずつの電極を選択して、AB:AC:ABCの中から1つずつを特定できるようにすると、電極の位置AB、AC、ABCに応じて3値の異なる電荷量を得ることができるようにしたものである。なお、1個の強誘電体は2個の強誘電体を並列に配置してみかけ上1個の強誘電体を構成するようにしてもよい。

【0006】

【作用】したがって、前記の如き構成よりなる本発明の強誘電体メモリによって、1個の強誘電コンデンサで複数個の電荷量を保持させることができるために、簡単な構造で複数値をメモリできる強誘電体メモリをメモリ素子として提供できるものである。

2

【0007】したがって、単位セル当りの情報量を3値以上に増加させることができるものである。たとえば、単位セル当りの情報量が2値から3値以上になり、セル面積を変えることなく、単位面積当りの情報量を飛躍的に増大することが可能となるものである。

【0008】

【実施例】以下、本発明を図面に示す一実施例について説明する。図1は、本発明の強誘電体メモリの一実施例を示す回路図、図2は図1の回路図の電界一分極の特性図である。

【0009】図1に示す強誘電コンデンサ(3)は、1個の強誘電体の表面に大面积の電極(6)を備える一方、裏面に隣接する2個の小面積の電極(7)、(8)を有しており、裏面の電極(7)、(8)を夫々基準電位ライン(4)、(5)に接合しておく。基準電位ライン(4)、(5)は通常の基準電位であり、好ましくは接地されているが、ライン(4)、(5)はそれに印加されるゼロではない電圧パルスを保有することができる。コンデンサ(3)の表面の電極(6)は電界効果トランジスタ(FET)(9)のソース、ドレインを経てビットライン(1)に結合させる。

【0010】図1のFET(9)はNチャンネルデバイスであり、従ってFET(9)のドレイン電極Dをビットライン(1)に結合させるのに対し、FET(9)のソース電極Sはコンデンサ(3)の表面電極(6)に結合させる。ゲート電極Gは別個に制御されるワードラインWL(2)に結合させる。なお本発明には必ずしもNチャンネルFETを用いる必要はなく、他のスイッチングデバイスを用いることもできる。

【0011】図1の強誘電体メモリ3で、電極6、7を用いた場合の電界一分極特性は、図2ではBDでCを通る曲線となり、電極6、8を用いた場合は、図2のDBでEを通る曲線となり、電極6、7、8を用いた場合は、図2のFHでG、Iを通る曲線となる。

【0012】したがって、FET9をON、OFFして電極の組6、7;6、8;6、7、8;のいずれか1つを選択的に特定するようにすると、C;E;G、I:の3値以上の電荷量を得ることができる。

【0013】上記実施例に詳記した如く、本発明の強誘電体メモリにおいては、隣接する複数個の電極を設けた1個の強誘電体の各電極に対し、適切なるパルス電界を与えることにより、1つの強誘電体に対して2値以上の分極反転状態を生じせしめ、これにより、1セル当りの記憶容量を増加せしめる事ができるようになる。

【0014】

【発明の効果】上記の如く、本発明は隣接する複数の電極を有する強誘電体コンデンサと該コンデンサの各電極にスイッチングTrを接合し、該Trのスイッチングで強誘電体の各電極を選択して、選択した各電極に適切なるパルス電界を印加する事により3値以上の分極反転状態

3

を得ることができるようにしたものであり、強誘電体コンデンサの単位セル当りの情報量が、セル面積を増加することなく、2値から3値以上になり、一定のセル面積で単位面積当りの情報量を飛躍的に増大することが可能となるものである。

【図面の簡単な説明】

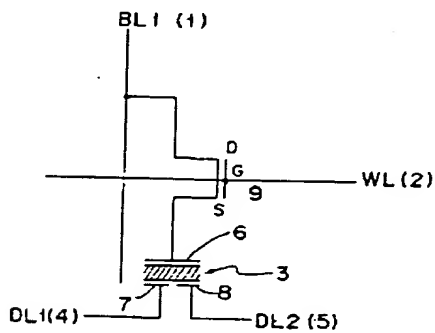
【図1】 本発明の強誘電体メモリの一実施例を示す電気回路図である。

【図2】 図1の電気回路図の電界・分極の特性図である。

【符号の説明】

- 1 ビットライン
- 2 ワードライン
- 3 強誘電体
- 4 DL1 (ドライブライン)
- 5 DL2 (ドライブライン)
- 6 表面部電極
- 7 裏面部電極
- 8 裏面部電極
- 10 9 FET

【図1】



【図2】

